
(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020030007178 A**

(43)Date of publication of application: **23.01.2003**

(21)Application number: **1020020040989**

(22)Date of filing: **13.07.2002**

(71)Applicant: **NEC LCD TECHNOLOGIES,
CO., LTD.**

(72)Inventor: **ISHINO TAKAYUKI
NAKATA SHINICHI
YAMAMOTO YUJI**

(51)Int. Cl **G02F 1/136**

(54) ACTIVE MATRIX SUBSTRATE AND METHOD OF MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: To provide a method for manufacturing an active matrix substrate by which the active matrix substrate is manufactured while making connection resistance between a source/drain electrode and a pixel electrode connected to the source/drain electrode stably low in a CF on TFT substrate used in a liquid crystal display device.

CONSTITUTION: An opening part of a novolac photosensitive resist for forming a contact throughhole is tapered by separating the position of an opening of the contact throughhole 19 from the position of an opening of an overcoat layer 13 by $\geq 2 \mu\text{m}$.

copyright KIPO & JPO 2003

Legal Status

Date of request for an examination (20020713)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20070507)

Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2005101004647)

Date of requesting trial against decision to refuse (20050718)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2003-0007178
(43) 공개일자 2003년01월23일

(21) 출원번호	10-2002-0040989
(22) 출원일자	2002년07월13일
(30) 우선권주장	JP-P-2001-00214129 2001년07월13일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 일본국 도쿄도 미나도꾸 시바 5쵸메 7방 1고 (72) 발명자 나카타신이치 일본국가고시마켄이즈미시오노하라마치2080가고시마닛본덴기가부시끼가이샤 나이 야마모토유지 일본국가고시마켄이즈미시오노하라마치2080가고시마닛본덴기가부시끼가이샤 나이 이시노다카유키 일본국가고시마켄이즈미시오노하라마치2080가고시마닛본덴기가부시끼가이샤 나이 (74) 대리인 조의제

심사청구 : 있음

(54) 능동매트릭스기판의 제조방법

요약

TFT의 소스전극과 화소전극을 서로 접속시키기 위해 박막트랜지스터(TFT)를 덮는 보호막에 접촉홀을 형성하는 단계에서, 나중에 형성되는 접촉관통홀의 위치는 보호막상에 형성된 오버코트층의 개구 위치로부터 2.0 μ m이상 떨어지도록 설계된다. 이 구성은 노블락계감광성레지스트의 개구를 오버코트층의 개구의 위치내로 위치하도록 하고, 그 결과, 보호막에 형성된 접촉관통홀은 오버코트층의 개구에 의해 영향을 받지 않는 데이퍼진 단면프로파일을 가질 것이며 소스전극과 화소전극간의 안정된 접속을 가능하게 한다.

대표도

도3

색인어

색필터, 감광막, 능동매트릭스기판

명세서

도면의 간단한 설명

도 1a, 1b 및 1c는 제조단계들을 순서대로 나타낸 종래의 능동매트릭스기판의 제조방법을 설명하는 종래의 능동매트릭스기판의 단면도들,

도 2a, 2b 및 2c는 도 1c 단계의 다음 단계를 보여주는 단면도들,

도 3은 본 발명의 제1 내지 제4실시예들에 따라서 구성된 능동매트릭스기판의 단면도,

도 4는 능동매트릭스기판의 회로도,

도 5a는 본 발명에 따른 능동매트릭스기판의 제조방법이 사용된 능동매트릭스기판의 화소의 평면도이며, 도 5b는 화소내의 블랙매트릭스의 위치를 보여주는 능동매트릭스기판의 화소의 평면도,

도 6a, 6b 및 6c는 제조단계들을 순서대로 나타낸 본 발명의 제1 내지 제4실시예들에 따라서 구성된 능동매트릭스기판의 제조방법을 보여주는 종래의 능동매트릭스기판의 단면도들,

도 7a, 7b 및 7c는 도 6c 단계의 다음 단계를 보여주는 단면도들,

도 8a, 8b는 도 7c 단계의 다음 단계를 보여주는 단면도들, 및

도 9a는 본 발명의 제5실시예에 따른 능동매트릭스기판의 화소의 평면도이며, 도 9b는 도 9a의 B-B'라인을 따라 절단된 동일 기판의 단면도.

(도면의 주요부분에 대한 부호의 설명)

- | | |
|-------------|--------------|
| 1,51:투명절연기판 | 3:게이트절연막 |
| 4:반도체층 | 5:음접촉층 |
| 7:소스전극 | 8:패시베이션막 |
| 13:색필터 | 14,64:블랙매트릭스 |
| 15:오버코트층 | 16:제1개구 |
| 18:제2개구 | 19:제3개구 |
| 20:화소전극 | 102:게이트전극 |
| 103:드레인전극 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치가 사용된 능동매트릭스기판의 제조방법에 관한 것이며, 더욱 상세하게는, 색필터(CF)가 구비된 박막트랜지스터(TFT)기판의 제조방법에 관한 것이다.

종래의 트윈스트네마틱(TN)형 액정칼라표시장치에 있어, 액정은 TFT기판과 색필터(CF)기판간에 삽입된다. 그러한 액정표시장치에 있어서, 블랙매트릭스는 상들의 표시저하를 막도록 일반적으로 CF기판상에 구비된다. CF기판과 TFT기판간의 오정렬을 고려하면, 블랙매트릭스는 액정을 통한 광의 누설을 확실히 방지하기에 충분한 폭으로 형성되어야 한다. 따라서, 액정표시장치의 개구비가 작아져 투과율이 낮아진다.

상술한 문제를 해결하기 위해 개구비를 증대시키는 기술들중의 하나로서, 일본특허출원 제10-351637호(이하, '종래'라 함)는 TFT(색필터가 구비된 TFT기판)상에 색필터를 제조하는 방법을 개시하고 있다. 도 1 및 2은 패시베이션막에 의해 보호되는 CF가 구비되고 패시베이션막에 의해 보호되고 스위치소자로 사용되는 TFT기판의 단면도들로서, 이 TFT를 제조하는 단계들을 도시한다. 도 1 및 2를 참조하여 CF가 구비된 TFT의 구조를 설명한다.

먼저, 에칭에 의해 채널이 형성된 TFT(160)가 투명절연기판(51)상에 형성되고, TFT(160)를 포함한 기판의 전면은 패시베이션막(58)에 의해 덮혀진다. 패시베이션막(58)은 형성되어 예컨대, 플라즈마CVD를 사용하여 실리콘질화물을 증착함으로써 형성된다(도 1a).

다음으로, 아크릴수지에 적색안료를 분산시킴으로써 얻어진 음성형광경화성 칼라레지스트는 투명절연기판(51)상에 스핀코팅된다. 스핀너의 회전속도는 레지스트의 막두께가 약 1.2 μ m가 되도록 조절된다. 그 후, 레지스트가 그 위에 형성된 기판(51)은 프리베이킹단계에서 80℃의 온도로 2분동안 전열기상에서 가열되고 노광된 후, TMAH(tetramethylammonium hydroxide)용액으로 현상되어 기판(51)상의 관련된 부분에는 적색필터(63)가 형성된다. 이 경우, 적색필터(163)는 나중에 제3개가 형성될 패시베이션막(58)의 일부(62)에는 적색필터가 형성되지 않도록 형성된다. 그 후, 기판(51)은 적색필터(163)를 경화하기 위해 클린오븐에서 220℃의 온도로 60분동안 구워진다.

그 후, 적색필터가 형성되었던 경우와 동일한 방식에 따라서 녹색필터(263)가 적색필터와 다른 색필터를 형성하려는 다른 화소에 형성된다. 녹색필터(263)를 얻기 위해서 기판(51)은 오븐에서 220℃의 온도로 60분동안 구워진다. 청색필터(363) 또한 적색필터가 형성되었던 경우와 동일한 방식에 따라서 형성된다.

다음에, 색필터들의 형성이 완료된 후, 블랙매트릭스(64)가 형성된다(도 1c). 블랙매트릭스(64)는 아크릴수지에 탄소나 안료를 분산하여 이루어진 수지로 형성된다. 예컨대, 약 20cp의 점도를 가진 재료가 투명절연기판(51)상에 막두께가 약 1.5 μ m가 되도록 스핀코팅된 후에, 이 재료는 현상된다. 이 경우, 블랙매트릭스는 접착홀이 나중의 단계에서 형성될 기판(51)의 일부에 형성되지 않는다.

오버코트층(65)은 기판(51)의 표면을 평탄화하도록 코팅되고 그 속에 제1개구(66)를 가지도록 현상된다. 이 기판(51)은 220℃ 내지 230℃의 온도로 60분동안 구워져, 오버코트층(65)은 경화된다. 이 경우, 오버코트층은 베이킹에 의해 용융되어, 큰 곡률을 가지는 아치형 단면프로파일을 가지게 된다(도 2a).

그 후, 노블락계포토리지스트(67)가 코팅 및 패터닝되어 그 속에 제2개구(68)를 가진다. 그 후, 패시베이션막(58)은 노블락계감광성레지스트(67)를 마스크로 사용하여 에칭되어, 패시베이션막(58)내에 제3개구(69)를 형성한다(도 2b).

오버코트층(65) 및 제3개구(69)의 형성이 완료된 후, 노블락계포토리지스트(67)는 제거되고, 화소전극으로 사용되는 투명도전막이 상술한 구성요소들을 덮도록 투명재료를 스퍼터링함으로써 형성된 후, 투명도전막은 패터닝되어 화소전극(70)을 형성한다(도 2c). 이 경우, 투명도전막이 두껍게 형성되면, 화소전극(70)은 주변부분들을 더욱 확실하게 덮을 수 있어, 화소전극(70)과 드레인전극(57)간의 안정적인 전기적 접촉을 얻을 수 있다. 그러나, ITO(indium-tin-oxide)막을 처리 위한 작업의 용이성을 고려하면, ITO(indium-tin-oxide)막을 약 100nm의 막두께로 증착하는 것이 바람직하다.

이 종래예에 따르면, 노블락계감광성레지스트가 아치형상의 오버코트층상에 코팅되고 패시베이션막내에

서 패터닝된 레지스트를 통해 패시베이션막 내에 개구를 형성하도록 패터닝되어, 화소전극과 드레인전극은 개구를 통해 접속될 수 있다. 이 경우, 제2개구(68)는 제1개구(66)에 대해 1 μ m의 정렬허용오차를 가지면서 그 속에 제1개구(66)를 포함하도록 설계된다. 그러나, 실제의 정렬단계에 있어서, 제2개구(68)는 제조공정 동안에 야기된 변동으로 인해 제1개구(66)의 내부에 우연히 위치하게 된다. 이 현상은, 노블락계감광성레지스트의 제2개구(68)의 내벽표면이 레지스트와 패시베이션막간의 계면에 있는 오버코트층의 제1개구(66)를 따라 기판(51)의 표면에 거의 수직인 방향으로 서 있게 한다. 그러므로, 이 부분에서, 패시베이션막의 제3개구의 단면프로파일은 기판(51)의 표면에 거의 수직하여, 제3개구(69)를 따라 화소전극의 단면프로파일이 저하되게 하고, 게다가 화소전극과 드레인전극간에 불안정한 접속 저항이 생성되게 한다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 능동매트릭스기판, 더욱 상세하게는 색필터를 구비한 TFT기판의 소스/드레인전극과 여기에 접속된 화소전극간의 접속저항을 안정되게 낮출 수 있는 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명에 따라서 구성된 능동매트릭스기판의 제조방법은 다음 단계들로 행해질 수 있다. 즉, 박막트랜지스터와 배선이 투명절연층상에 형성되고, 박막트랜지스터를 덮는 보호막과 배선이 투명절연기판상에 형성된 후, 보호막의 제1영역의 일부를 노출시키는 제1개구를 가지는 제1감광막이 보호막상에 형성된다. 그 후, 제2감광막이 제1개구 내부에 위치한 제2개구를 가진 전기 제1감광막상에 형성되어, 보호막의 일부가 노출되고 제3개구가 전기 보호막에 형성된다. 이 경우, 제3개구는, 제2감광막을 마스크로 사용하여 배선부를 노출시키도록 보호막의 전기 일부를 제거함으로써 제3개구의 가장자리가 제1개구의 내벽으로부터 분리되도록 하고, 적어도 제2감광막의 막두께와 동일한 거리로 제1감광막을 노출하도록 제2감광막을 제거함으로써 형성된다. 그 후, 도전막이 제3개구를 통해 배선과 접속되도록 제1감광막상에 형성되고, 마지막으로 패틴이 도전막에 형성되어 전기 도전막으로 이루어진 상층배선을 형성한다.

상술한 바와 같이, 제2개구가 제2감광막에 형성되어 테이퍼진 단면프로파일을 가지는 경우에 있어서, 제3개구 또한 보호막에 형성되어 테이퍼진 단면프로파일을 가질 수 있어, 제3개구를 통해 서로 접속되는 배선과 상층배선간의 접속을 안정되게 한다.

[실시예]

도 3 내지 8을 참조하여 본 발명의 제1실시예를 설명한다.

도 3을 참조하면, 게이트전극(102)은 투명절연기판(1)상에 형성되고 게이트절연막(3)이 형성되어 기판(1)상의 게이트전극을 덮는다. 게이트절연막(3)상에 반도체층(4)이 게이트전극(102)에 마주하게 형성되고, 반도체층(4)의 중앙부에 서로 떨어져 있게 형성된 드레인전극(106) 및 소스전극(7)은 음접촉층들(5)을 개재하여 반도체층(4)에 연결된다. 이 경우, 음접촉층들(5)은 소스 및 드레인전극들(7 및 106)간의 음접촉층 부분을 에칭하고 제거함으로써 반도체층(4)과 소스 및 드레인전극들(7 및 106)간에만 형성된다.

패시베이션막(8)이 기판(1)위에서 음접촉층의 건련부분을 제거하여 형성된 TFT의 채널부분을 덮도록 그리고 그 속에 제3개구(19)를 가져 소스전극(7)과 화소전극(20)을 서로 연결시키도록 형성된다.

제3개구(19)와 오버코트층의 제1개구(16)간의 위치관계는 테이퍼진 벽을 그 속에 가지도록 제3개구(19)를 형성하는 경우에는 중요하게 된다. 도 3에 도시된 바와 같이, 제3개구(19)가 오버코트층(15)의 제1개구(16)로부터 2 μ m미만으로 떨어져서 위치하는 경우, 다음의 현상이 관찰될 수 있다. 즉, 제2개구는 노블락계감광성레지스트(17)에 오버코트층(15)의 제1개구(16)의 단면프로파일의 영향으로 인해 아치형상의 단면프로파일을 가지게 형성된다(도 2b에서 도시된 제2개구(68)참조). 따라서, 노블락계감광성레지스트(17)의 제2개구의 단면프로파일은 레지스트와 패시베이션막(8)간의 경계에서 기판에 거의 수직으로 되어, 제3개구(19)는 테이퍼진 단면프로파일을 가지지 않게 패시베이션막(8)에 형성된다.

제3개구(19)를 제외한 각 화소의 표시영역에 상응하는 패시베이션막(8)상에는 R, G 및 B중의 어느 하나의 색을 나타내는 색필터(13)가 형성된다. 게다가, 블랙매트릭스(14)는 TFT를 포함하여 게이트라인에 대응하는 패시베이션막(8)의 일부분 상에 형성되며, 오버코트층(15)은 패시베이션막의 제3개구(19)를 제외한 부분 상에 형성된다.

도 4는 능동매트릭스기판의 회로도이다. 게이트라인(202)은 게이트단자(302)로부터 연장되고 매트릭스형태로 배열된 화소들 중의 하나를 구성하는 TFT(10)의 게이트전극에 접속된다. 한편, 드레인단자(107)로부터 전기 TFT에 신호들을 공급하는 드레인라인(206)이 나온다. 액정(44)이 능동매트릭스기판과 능동매트릭스기판에 마주하게 배치된 대향기판 사이의 공간에 주입되고 각 화소의 화소전극과 대향기판상에 형성된 공통전극은 그것들 사이에 절연재료로서 액정(44)을 개재하여 화소캐패시터(45)를 구성한다.

도 6 내지 8은 본 발명의 제1실시예에 따라 구성된 제조단계들을 보여준다.

도 6a에 도시된 바와 같이, 투명절연기판(1)상에 게이트전극(102), 게이트절연막(3), 반도체층(4), 음접촉층(5), 드레인전극(106), 소스전극(7) 및 패시베이션막(8)이 형성된다.

그 후, 도 6b에 도시된 바와 같이, 용매에 안료를 분산시켜 얻어지고 알칼리현상액에 녹을 수 있는 포토큐러블 아크릴수지는 칼라레지스트로서 사용되고, 이 칼라레지스트는 기판상에 약 1.2 μ m의 막두께로 스펀코팅된다. 프리베이킹단계로서 기판을 80℃의 온도로 2분동안 가열한 후, 그 레지스트는 노광되고 알칼리현상액(TMAH)으로 현상된다. 이 경우, 도 6b에 도시된 바와 같이, 칼라레지스트는 다음 단계에서 제3개구가 형성되는 패시베이션막(8)의 부분(12)상에 형성되지 않는다.

패터닝된 칼라레지스트를 가진 기판은 220℃의 온도로 미리 가열된 오븐에 위치되어 칼라레지스트를 경

화한다. 이러한 단계들을 통해서, 적색필터(113)가 형성된다. 이 실시예에서, 블랙매트릭스는 적색필터가 형성되기 전에는 형성되지 않고, 그러므로 적색필터의 잔재물은 생성되지 않는다. 그 이유는 다음과 같다. 즉, 적색필터를 구성하는 것과 동일한 재료로 구성된 블랙매트릭스 등의 유기막이 적색필터(113)의 형성전에 형성된 경우에는, 적색필터(113)가 하지층상에 접착되게 형성되어 그 위에 필터의 잔재물을 생성하는 경우가 있기 때문이다.

녹색필터(213)(도 6c)와 청색필터(313)(도 7a)가 전기 적색필터를 형성하기 위해 사용된 것과 동일한 방식으로 형성된 후, 블랙매트릭스(14)가 형성되어 트랜지스터와 화소내의 차폐되어야 할 다른 주변부를 광으로부터 차폐한다(도 7b). 블랙매트릭스(14)는 아크릴수지에 탄소나 안료를 분산시킴으로써 얻어진 수지계블랙매트릭스로서 사용된다. 이 실시예에서, 약 20cp의 점도를 가진 재료가 기판상에 약 1.5 μ m의 막두께로 스핀코팅된 후, 제3개구가 형성된 패시베이션막의 일부분 상에 블랙매트릭스(14)가 형성되지 않도록 패터닝된다.

나중에 형성되는 제3개구 주위의 특징면이 외부로 노출되는 패시베이션막(8)의 표면처리를 받은 후, 오버코트층(15)이 기판상에서 코팅된 다음, 패시베이션막의 나중에 형성되는 제3개구를 노출시키면서 오버코트층(15)에 제1개구(16)를 형성하도록 패시베이션막은 현상된다. 표면처리가 패시베이션막(8)에 행해져 오버코트층의 패시베이션막에 대한 접착력을 증가시키고, 실란결합제를 사용하여 이 면처리는 행해진다.

노블락계감광성레지스트(17)가 기판상에 1.5 내지 4.0 μ m의 막두께를 가지도록 코팅되고, 관련 패턴을 가지도록 현상되고, 나아가, 패시베이션막(8)은 노블락계감광성레지스트(17)를 마스크로 사용하여 에칭된다(도 8a). 이 경우, 노블락계감광성레지스트(17)의 제2개구(18)와 오버코트층(15)의 제1개구간의 위치관계는, 노블락계감광성레지스트(17)에 테이퍼진 단면프로파일을 가진 제2개구(18)를 형성하는 경우에는 중요해진다.

도 8a에 도시된 바와 같이, 제2개구(18)는 적어도 노블락계감광성레지스트(17)의 막두께와 동일한 거리, 즉 오버코트층(15)의 제1개구(16)로부터 'L'만큼 떨어져 있어야 한다(노블락계감광성레지스트(17)가 1.5 μ m의 막두께로 코팅되는 경우에는, 제2개구(18)가 제1개구(16)와는 확실하게 정렬되도록, 제2개구(18)와 제1개구(16)간의 간격은 2.0 μ m가 되도록 설계된다). 그렇지 않으면 다음의 바람직하지 못한 현상이 발생할 것이다. 즉, 노블락계감광성레지스트(17)의 제2개구(18)는 오버코트층(15)의 제1개구(16)의 단면프로파일의 영향으로 아치형상의 단면프로파일을 가지도록 형성된다. 따라서, 노블락계감광성레지스트(17)의 제2개구(18)의 단면프로파일은, 레지스트와 패시베이션막(8)간의 경계에서 제1개구를 따라 기판에 거의 수직하게 되고, 그 결과, 패시베이션막(18)에 형성된 제3개구(19)의 테이퍼진 단면프로파일을 갖지 않을 수 있다.

게다가, 레지스트가 현상된 후에는, 노블락계감광성레지스트(17)의 용매를 증발시키기 위해 20 $^{\circ}$ C 내지 120 $^{\circ}$ C의 온도로 3 내지 10분동안 포스트베이킹이 행해져야 한다. 따라서, 제2개구가 노블락계감광성레지스트(17)에서 형성되어 레지스트와 패시베이션막(8)간의 경계에서 테이퍼진 단면프로파일을 가지게 되며, 그러므로 패시베이션막(8)이 에칭되어 제3개구(19)내에 테이퍼진 단면프로파일을 가지게 된다. 상술한 바와 같이 구성된 제3개구(19)는 화소전극(20)과 소스전극(7)간의 접속저항을 낮게 유지하여 고품질 능동매트릭스기판을 얻을 수 있게 한다.

상술한 바와 같이, 본 발명에 따라 구성된 능동매트릭스기판을 제조하는 방법의 제1양태는, 오버코트층의 형성후에 패시베이션막에 접촉홀을 형성하는 단계에서, 수지계블랙매트릭스, 칼라레지스트 및 오버코트층이 사용되어 TFT 기판, 즉 능동매트릭스기판상에 색필터를 형성하는 경우, 노블락계감광성레지스트는 오버코트층에 형성된 아치형상의 단면프로파일을 가진 제1개구의 영향을 받지 않고 테이퍼진 단면프로파일을 가지도록 형성된다는 것에 특징이 있다.

본 발명에 따라 구성된 능동매트릭스기판의 제조방법은 블랙매트릭스나 칼라레지스트를 포함하지 않는 능동매트릭스기판의 제조에도 효과적이어서, TFT기판상에 유기막으로 이루어진 오버코트층을 형성함으로써 구성되며 어떠한 기판에도 적용될 수 있다.

제1실시예에 따라 구성된 방법은 아래에서 보다 상세하게 설명한다. 도 6 내지 8은 도 5a의 라인 A-A'를 따라 절단된 능동매트릭스기판의 단면도들을 제조단계들의 순서대로 보여준다.

우선, 채널에칭형TFT(110)가 투명절연기판(1)상에 형성되고, 패시베이션막(8)이 기판(1)의 전체표면에 채널에칭형TFT(110)를 덮도록 형성된다. 패시베이션막(8)은 예컨대 플라즈마CVD에 의해 형성된 실리콘질화막으로 형성될 수 있다(도 6a).

다음으로, 아크릴수지에 적색안료를 분산시킴으로써 얻어진 음성형광경화성칼라레지스트가 투명절연기판상에 스핀코팅된다. 스핀너의 회전속도는 레지스트의 막두께가 약 1.2 μ m가 되도록 조절된다. 그 후, 레지스트가 형성된 기판은 핫플레이트상에서 프리베이킹단계에서 80 $^{\circ}$ C의 온도로 2분동안 가열되며 노광되고, 나아가 기판상의 관련 부분에 적색필터(113)를 형성하도록 TMAH용액(tetramethylammonium hydroxide)으로 현상된다. 이 경우, 적색필터(113)는 나중에 제3개구가 형성될 패시베이션막(8)의 일부분(12) 상에는 형성되지 않는다. 그 후, 기판은 클린오븐에서 220 $^{\circ}$ C의 온도로 60분동안 구워져 적색필터(113)를 경화한다(도 6b).

그 후, 녹색필터(213)는 적색필터가 형성된 화소와 다른 화소에서 적색필터가 형성되었던 것과 동일한 방식으로 형성된다. 기판은 녹색필터(213)를 얻기 위해오븐에서 220 $^{\circ}$ C의 온도로 60분동안 구워진다(도 6c). 또한, 청색필터(313)도 적색필터가 형성되었던 것과 동일한 방식으로 형성된다.

다음으로, 칼라필터들이 형성된 후, 블랙매트릭스(14)가 형성된다. 블랙매트릭스(14)는 아크릴수지에 탄소나 안료를 분산하여 이루어진 수지로 형성된다. 이 실시예에서, 약 20cp의 점도를 가진 재료는 투명절연기판상에 약 1.5 μ m의 막두께가 되도록 스핀코팅된 후 그 재료는 현상된다. 이 경우, 블랙매트릭스는 나중의 단계에서 제3개구가 형성될 기판부분에는 형성되지 않는다(도 7b).

오버코트층(15)이 코팅되고 패시베이션막에 형성하기 위한 부분을 제거하도록 현상되어 그곳에

제1개구(16)가 형성된다. 기판은 오버코트층(15)을 경화하기 위해 220℃의 온도로 60분동안 구워진다. 현상단계 동안에는, 오버코트층의 현상정도에 관한 허용오차가 작으므로, 현상액의 pH가 변동되는 경우, 오버코트층은 우연히 측벽에칭되어 패시베이션막(8) 주위에는 기판에 거의 수직인 제2개구의 단면프로파일이 만들어진다. 그런 현상을 막기 위해, 오버코트층은 120℃ 내지 160℃의 온도로 적어도 3분동안 중간베이킹된다. 이 단계는 오버코트층이 측벽에칭된 후에도 오버코트층이 테이퍼진 단면프로파일의 제2개구를 가지게 한다.

그 후, 노블락계감광성레지스트(17)가 1.5 내지 4.0 μ m의 막두께로 코팅되고 패터닝되어 제2개구를 가진다. 이 경우, 노블락계감광성레지스트(17)가 1.5 μ m의 막두께로 코팅되는 경우에는, 제1개구(16)와 제2개구(18)간의 간격이 2.0 μ m로 설계되어 제2개구(18)가 제1개구(16)와는 확실되게 정렬되도록 한다. 따라서, 제1개구(16)와 제2개구(18) 모두가 설계된 패턴에 따라서 형성되면, 그들 사이의 간격은 설계된 값인 2.0 μ m가 된다.

그 후, 패시베이션막(8)은 노블락계감광성레지스트(17)를 마스크로 사용하여 에칭된다(도 8a). 이 경우, 노블락계감광성레지스트는 레지스트의 현상 후 노블락계감광성레지스트의 용매를 증발시키도록 120℃이하의 온도로 포스트베이킹되어야 한다.

포스트베이킹이 120℃이상의 온도에서 이루어졌다면, 노블락계감광성레지스트는 용융되기 시작하여 오버코트층의 아치형단면프로파일과 함께 연속적인 곡선을 형성하는 단면프로파일을 가지게 된다. 따라서, 노블락계감광성레지스트(17)의 제2개구(18)가 기판에 거의 수직인 단면프로파일을 가지기 때문에, 패시베이션막(8)에 형성된 제3개구(19) 또한 기판과 거의 수직인 단면프로파일을 가지게 된다. 제3개구(19)가 그러한 단면프로파일을 가지도록 형성되는 경우, 화소전극이 제3개구(19)를 불충분하게 덮도록 그 위에 형성되어, 결과적으로 소스전극과 화소전극간의 접촉저항은 증가한다.

노블락계감광성레지스트(17)의 제거 후, 화소전극으로 소용되기 위한 투명도전막이 상술한 구성요소들 위에 투명도전재료를 스퍼터링함으로써 오버코트층(15)과 패시베이션막(8)의 제3개구(19)를 덮도록 형성된 후, 투명도전재료가 패터닝된다. 이 경우, 홀을 덮는 화소전극의 소망의 단면프로파일에 더하여, 소스전극(7)과 화소전극간의 안정된 접촉은 막두께에 비례해서 얻어질 수 있지만, 막두께는 투명도전막인 ITO(Indium-Tin-Oxide)막의 처리의 용이성을 고려해서 약 100nm로 선택하는 것이 바람직하다. 그 후, ITO막은 패터닝되어 화소전극이 형성된다(도 8b).

상술한 방법은 더 큰 개구비를 가지는 액정표시장치의 제조를 가능하게 하여, 종래 방법에 의해 제조된 장치와 비교해서 이 장치가 더 밝은 영상을 고신뢰성으로 표시하게 한다.

제1실시예는 다음의 주요한 이점을 가진다. 즉, 화소전극과 소스전극(7)간의 패시베이션막의 제3개구를 통한 전기접속이 고신뢰성으로 얻어질 수 있어, 액정표시장치의 수율과 신뢰성은 극도로 향상될 수 있다. 이 이점은, 노블락계레지스트(17)의 제2개구(18)를 마스크로 사용하여 패시베이션막(8)을 에칭하여 패시베이션막(8)에 제3개구(19)를 형성하기 전에, 오버코트층(15)의 제1개구(16)의 아치형단면프로파일에 의해 영향을 받지 않도록, 노블락계레지스트(17)에 형성된 제2개구(18)의 단면프로파일을 제어함으로써 실현될 수 있다.

도 8a를 참조하여 본 발명의 제2실시예를 설명한다.

이 실시예는, 제1실시예에 사용된 단계들로부터 도 8a에 보인 단계에서 행해진 포스트베이킹을 제외한 단계들로 구성된 단계들을 통하여 TFT기판이 제조되도록 구성된다. 이 단계들의 구성도 노블락계감광성레지스트(17)에 제2개구(18)를 형성하게 하여, 패시베이션막(8)과 레지스트간의 경계에서 테이퍼진 단면프로파일을 가지게 한다. 이 경우, 레지스트에 남겨진 용매를 증발시키기 위해, 레지스트를 가지는 기판은 감압된 상태에서 건조될 수 있다.

도 8a를 참조하여 본 발명의 제3실시예를 설명한다.

이 실시예는, 패시베이션막(8)의 표면이 도 8a에 보인 단계로 처리되는 단계들을 통해 레지스트가 패시베이션막상에 코팅되기 전에 노블락계감광성레지스트(17)가 패시베이션막에 더 밀착되도록 만들되도록 구성된다. 이 단계들의 구성은 노블락계감광성레지스트의 현상비율을 노블락계감광성레지스트(17)의 현상시에 패시베이션막과 레지스트의 경계에서 낮아지게 하여, 노블락계감광성레지스트(17)에 형성되는 제2개구(18)가 테이퍼진 단면프로파일을 가지게 한다. 실란결합제플러잉에이전트 등의 재료는 레지스트의 접착을 향상시키기 위해 계면처리제로서 선택되는 것이 바람직하다.

도 8a를 참조하여 본 발명의 제4실시예를 설명한다.

이 실시예는, 레지스트(17)를 코팅한 후 하프톤마스크나 그레이톤마스크를 사용함으로써 노블락계감광성레지스트(17)가 도 8a에 보인 단계에서, 패시베이션막(8)의 나중에 형성되는 제3개구의 주위쪽으로 범위가 점점 넓어지도록 노광되는 단계들을 통해 TFT기판이 제조되도록 구성된다. 다시 말해, 레지스트(17)는 제2개구(18)의 중앙쪽으로 범위가 점점 넓어지도록 노광되어서, 노블락계감광성레지스트에 테이퍼진 단면프로파일을 가지게 제2개구(18)를 형성한다. 이 단계들의 구성은, 패시베이션막(8)이 노블락계감광성레지스트(17)의 제2개구(18)의 테이퍼진 단면프로파일을 따라 언더컷되기 때문에, 테이퍼진 단면프로파일을 가지도록 제3개구(19)를 형성하게 한다.

도 9a 및 9b를 참조하여 본 발명의 제5실시예를 설명한다. 도 9a는, 도 5a에 도시된 것과 거의 동일한 도면이 도 9a에 사용되었기 때문에, 단순화를 위해서 색필터와 블랙매트릭스를 생략한, 본 발명의 제5실시예에 따라서 구성된 하나의 화소에 해당하는 TFT기판의 평면도이다. 도 9b는 도 9a의 라인 B-B'를 따라 취해진 단면도이다. 이 실시예는 제1 내지 제4실시예들을 측방향전기장을 사용하는 TFT기판에 적용함으로써 구성된 예이다. 이 실시예에서, TFT기판은 제1실시예에서 형성되었던 구성요소들인 패시베이션막, 색필터, 블랙매트릭스, 제1 및 제3개구들을 형성 후 에 빛형상의 화소전극과 공통전극이 오버코트층상에 형성되도록 구성된다. 그러므로, 이 실시예에서 채용된 방법은, 제1실시예를 설명하기 위해 사용된 도 6a 내지 7c 모두에 도시된 것과 동일한 도면들을 참조하여 설명될 수 있다. 게다가,

도 9a에 도시된 바와 같이, 공통전극(22)은 투명절연기관(1)상에 게이트배선(2b)과 함께 형성된다.

도 7c에 도시된 바와 같이, 제1개구(16)는 소스전극(7) 위쪽의 오버코트층(15)에 형성된다. 제1개구(16)에 더하여, 도 9a에 보인 것처럼 하나의 개구가 공통전극(22)을 상층공통전극(42)에 연결하기 위해 공통전극(22)상의 오버코트층(15)에 형성된다.

다음에, 제1실시예에서와 동일한 단계의 사용하여, 노블락계감광성레지스트를 마스크로 사용하여 패시베이션막(8)이 에칭되어 소스전극(7)상에 제3개구(19)를 형성하는 반면, 패시베이션막(8)의 다른 부분을 에칭하여 공통전극을 상층공통전극(42)에 접속시키기 위한 제4개구(49)를 형성한다. 그 후, 크롬이 오버코트층(15)상에 스퍼터법에 의해 증착되고 패터닝되어, 빗형화소전극(40)과 전기 빗형상층공통전극(42)을 형성한다(도 9a 및 9b).

이 실시예에 따르면, 상층공통전극(42)과 공통전극(22)간은 물론 화소전극(40)과 소스전극(7)간에도 안정한 접속이 가능해서, 측방전계형 액정표시장치의 수율과 신뢰성을 극도로 향상시킬 수 있다. 이러한 이점들은, 노블락계감광성레지스트(17)의 제2개구(18)를 마스크로 사용하여 패시베이션막(8)을 에칭하여 패시베이션막(8)에 제3 및 제4개구들(19 및 49)을 형성하기 전에, 오버코트층(15)의 제1개구(16)의 아치형단면프로파일에 의해 영향을 받지 않도록, 노블락계레지스트(17)에 형성된 제2개구(18)의 단면프로파일을 제어함으로써 실현된다.

발명의 효과

상술한 바와 같이, 본 발명에 따라서 구성된 능동매트릭스기관의 제조방법은, TFT를 덮기 위해 패시베이션막을 형성하는 단계, 선크터와 패시베이션막상의 선크터를 덮는 오버코트층을 형성하는 단계 및 소스/드레인전극과 화소전극을 접속시키기 위해 패시베이션막에 접촉관통홀들(제3 및 제4개구들)을 형성 단계를 포함한다. 이 경우, 접촉관통홀(제3개구)이 테이퍼진 단면프로파일을 가지게 형성되어, 소스/드레인전극과 화소전극간의 접속저항을 안정되게 낮추게 한다. 그러한 테이퍼진 단면프로파일을 가지는 접촉관통홀을 형성하기 위해서, 패시베이션막의 접촉관통홀(제3개구)과 오버코트층의 개구(제1개구)간의 간격은 $2.0\mu\text{m}$ 이상이 되도록 설계되며, 그 결과, 패시베이션막에 접촉관통홀(제3개구)을 형성할 때의 에칭마스크로서 사용할 수 있는 노블락계감광성레지스트의 개구(제2개구)는 패터닝되어 테이퍼진 단면프로파일을 가지게 된다. 이러한 노블락계감광성레지스트 구성은, 패시베이션막에 테이퍼진 단면프로파일을 가지는 접촉관통홀(제3개구)을 형성하게 하며, 그 후 접촉관통홀(제3개구)을 충분히 덮는 화소전극을 소스/드레인전극과 접속시켜, 양 전극들을 함께 낮은 저항으로 안정되게 접속한다.

결국, 본 발명의 모든 실시예들은 선크터를 가진 TFT기관으로서의 TFT기관을 설명한 것이지만, 본 발명의 적용은 전기 TFT기관의 구성에 한정되지 않고, 선크터가 없는 TFT기관에 적용될 수 있다.

(57) 청구의 범위

청구항 1

투명절연기관상에 박막트랜지스터와 배선을 형성하는 단계;

상기 투명절연기관상에 상기 박막트랜지스터와 상기 배선을 덮는 보호막을 형성하는 단계;

상기 보호막의 제1영역부의 일부를 노출시키는 제1개구를 갖는 제1감광막을 상기 보호막상에 형성하는 단계;

상기 제1개구 내부에 위치하여 상기 보호막의 일부를 노출시키는 제2개구를 가진 제2감광막을 상기 제1감광막상에 형성하는 단계;

상기 제2감광막을 마스크로 사용하여 상기 배선의 일부를 노출시키도록 상기 보호막의 상기 일부를 제거함으로써, 상기 제3개구의 가장자리가 상기 제1개구의 내벽으로부터 적어도 상기 제2감광막의 막두께와 동일한 거리로 떨어져 있도록 상기 보호막에 제3개구를 형성하는 단계;

상기 제2감광막을 제거하여 상기 제1감광막을 노출시키는 단계;

상기 제1감광막상에 도전막을 형성하여 상기 제3개구를 통해 상기 배선과 접속시키는 단계; 및

상기 도전막에 패터를 형성하여 상기 도전막으로 이루어진 상층배선을 형성하는 단계를 포함하는 능동매트릭스기관 제조방법.

청구항 2

제1항에 있어서, 상기 제2감광막의 막두께는 1.5 내지 $4.0\mu\text{m}$ 의 범위에 있는 능동매트릭스기관 제조방법.

청구항 3

제1항에 있어서, 상기 제1감광막은,

상기 보호막상에 제1감광막을 코팅하는 단계;

상기 제1감광막을 노광 및 현상하는 단계;

임시베이킹(interim-baking)으로서, 상기 제1감광막을 120 내지 160°C 의 온도로 3 내지 10분동안 베이킹을 행하는 단계; 및

상기 제1감광막을 형성하는 단계의 포스트베이킹으로서 220 내지 230°C 의 온도로 상기 제1감광막을 베이킹을 행하는 단계로 형성되는 능동매트릭스기관 제조방법.

청구항 4

제1항에 있어서, 상기 제1감광막은, 상기 제1감광막을 형성하는 단계에서 상기 보호막의 표면을 처리하여, 상기 보호막의 상기 표면과 상기 제1감광막과의 밀착성을 강화시킨 후, 상기 제1감광막을 상기 보호막상에 형성하는 능동매트릭스기판 제조방법.

청구항 5

제1항에 있어서, 상기 제2감광막을 형성하는 단계에서 상기 제2감광막은, 상기 투명절연기판의 표면을 처리하여 상기 제1개구를 통해 외부에 노출된 상기 보호막의 표면과 상기 제2감광막의 밀착성을 강화시킨 상기 제2감광막을 상기 제1감광막상에 형성하는 능동매트릭스기판 제조방법.

청구항 6

제1항에 있어서, 상기 제2감광막을 형성하는 단계에서, 상기 제2감광막은,

노블락계감광막을 상기 제1감광막상에 코팅하는 단계;

상기 노블락계감광막을 노광 및 현상하는 단계; 및

상기 노블락계감광막을 20 내지 120℃의 온도로 3 내지 10분동안 가열하여 상기 제2개구에 테이퍼진 측 표면을 형성하는 단계에 의해 형성되는 능동매트릭스기판 제조방법.

청구항 7

제1항에 있어서, 상기 제2감광막을 형성하는 단계에서, 상기 제2감광막은 상기 제1감광막상에 상기 노블락계감광막을 코팅한 후 상기 제2감광막의 나중에 형성된 제2개구에 상응하는 부분을 조사되도록 광의 양을 변화시켜 노광시킴으로써, 상기 제2개구에 테이퍼진 측표면을 형성시키는 능동매트릭스기판 제조방법.

청구항 8

제1항에 있어서, 상기 제2감광막은,

노블락계감광막을 상기 제1감광막상에 코팅하는 단계;

상기 노블락계감광막을 노광 및 현상하는 단계; 및

상기 제2감광막을 감압하에서 건조시켜, 상기 제2감광막에 포함된 용매를 증발시키는 단계에 의해 형성되는 능동매트릭스기판 제조방법.

청구항 9

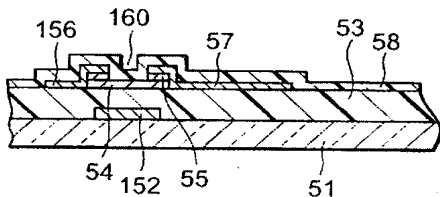
제1항에 있어서, 상기 배선은 게이트전극, 게이트배선, 공통배선, 소스/드레인전극 및 공통전극을 구비하고, 상기 게이트전극은 상기 게이트배선의 일부를 구성하고, 상기 공통전극은 상기 게이트배선과 함께 형성된 상기 공통배선에 접속되고, 상기 제3개구는 소스/드레인전극상에 형성되고, 그리고 상기 상층배선은, 상기 제3개구를 통해 상기 소스/드레인전극과 접속된 화소전극과, 상기 공통배선상에 형성된 다른 제3개구를 통해 상기 공통배선에 접속되고 상기 화소전극에 평행하면서 상기 화소전극으로부터 기 설정된 거리만큼 떨어져 배치된 공통전극을 구비하는 능동매트릭스기판 제조방법.

청구항 10

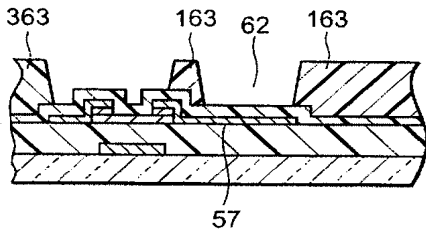
제1항에 있어서, 색필터는 상기 투명절연기판상의 상기 박막트랜지스터와 상기 배선을 덮는 보호막을 형성하는 단계와 상기 보호막상에 제1감광막을 형성하는 단계 사이에서, 상기 배선상에 위치한 상기 보호막의 제1영역을 노출시키도록 상기 보호막상에 선택적으로 형성되는 능동매트릭스기판 제조방법.

도면

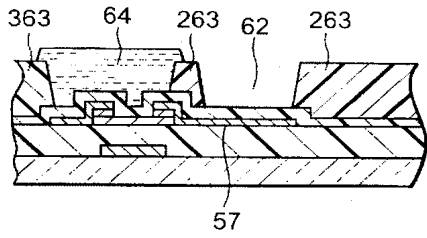
도면1a



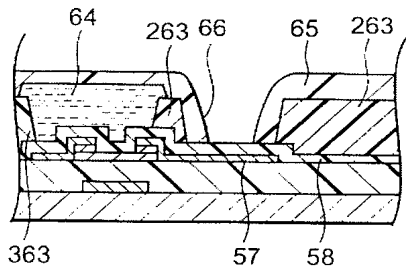
도면1b



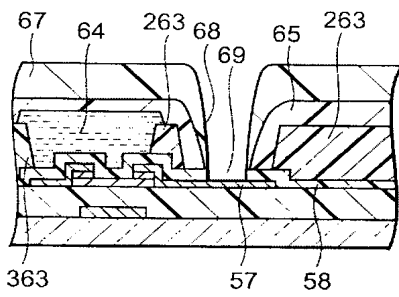
도면1c



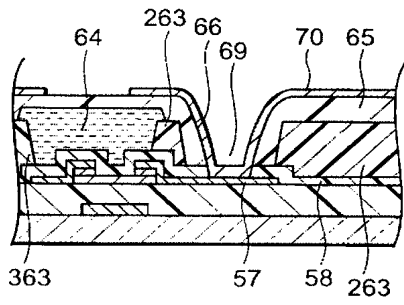
도면2a



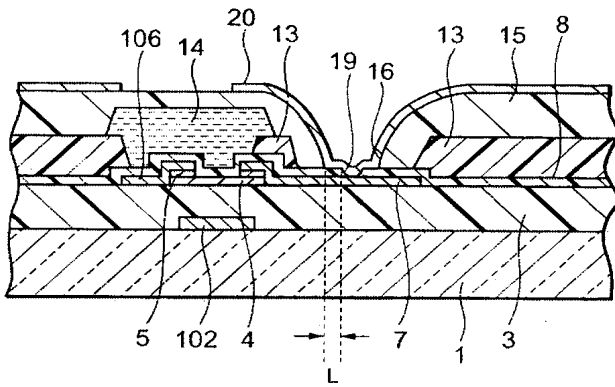
도면2b



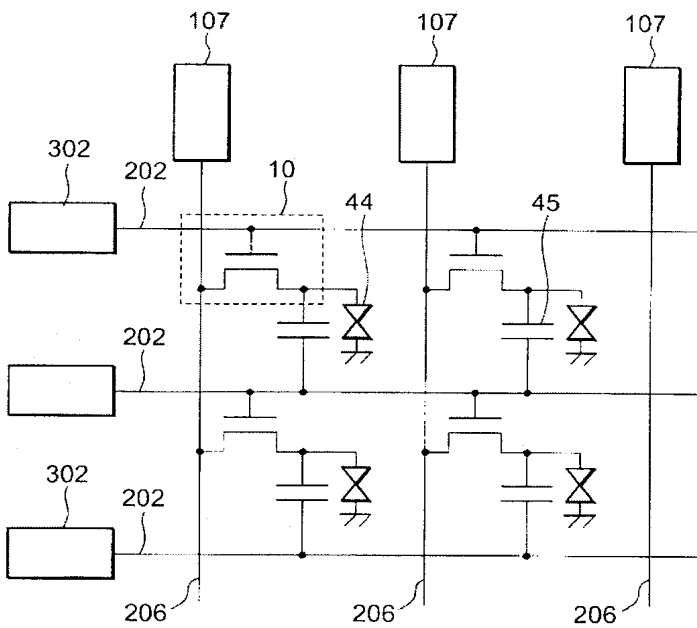
도면2c



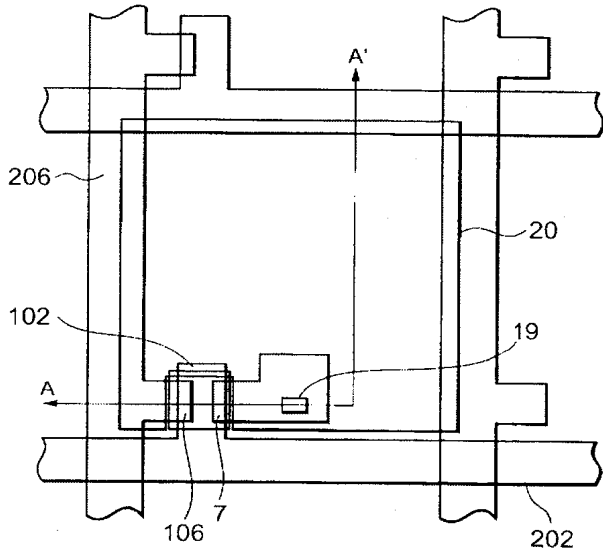
도면3



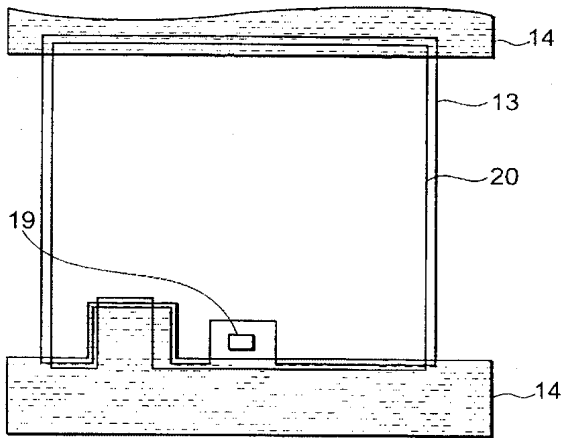
도면4



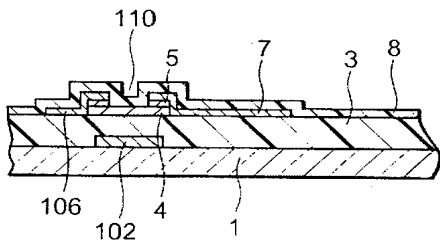
도면5a



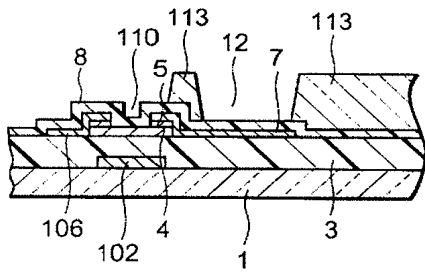
도면5b



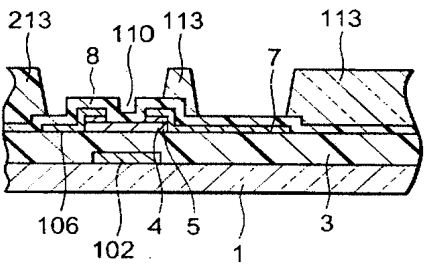
도면6a



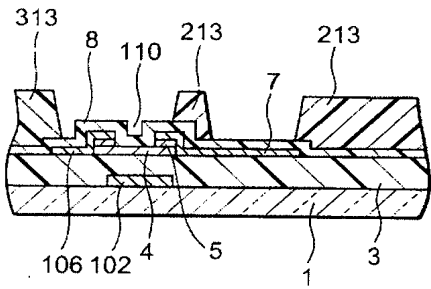
도면6b



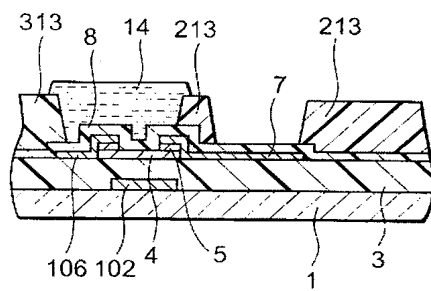
도면6c



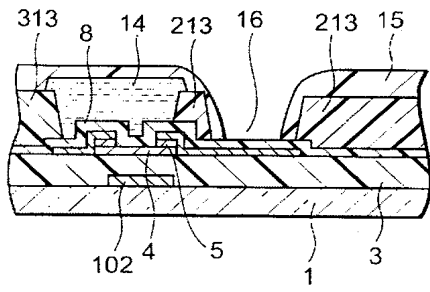
도면7a



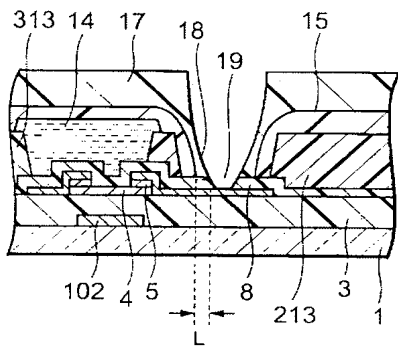
도면7b



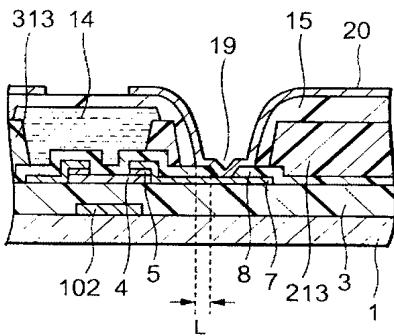
도면7c



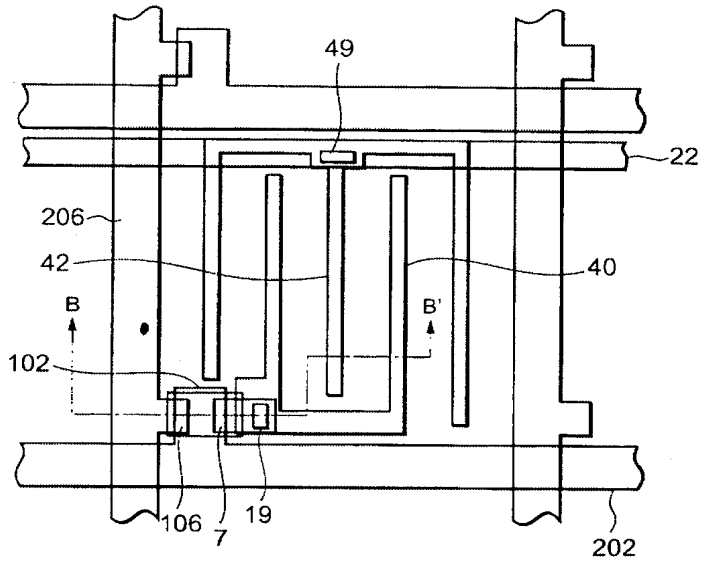
도면8a



도면8b



도면 9a



도면 9b

